

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-080331

(43)Date of publication of application : 23.04.1986

(51)Int.Cl.

G06F 7/00

(21)Application number : 59-201428

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 28.09.1984

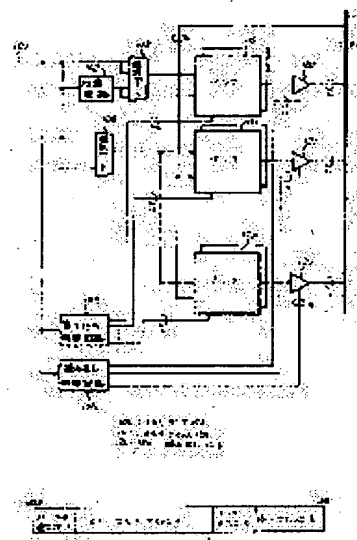
(72)Inventor : SEGA AKIO  
NARITA YOSHITAKA  
OOTA YOSHIHISA

## (54) VARIABLE LENGTH DATA PROCESSOR

## (57)Abstract:

**PURPOSE:** To process variable length data simply the rapidly by forming a means for reading and writing fixed length data from an optional bit position at the time of access to the variable length data.

**CONSTITUTION:** At the time of access to the variable length data, an address (A+1) is inputted through an adder 102 and a selection gate 103 as an address input to a bank 110 and an address A is inputted through a selection gate 104 as an address input to a bank 11n. A reading control circuit 106 turns on the lower (N-l) bits of a reading gate 12n and the upper (l) bits of a reading gate 120 on the basis of the bank address (n) and dot address (l) of the address input and sends the data to a memory data bus 100. Thus, the written variable length data are read out as the fixed length data from an optional bit position.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

## ⑪ 公開特許公報(A) 昭61-80331

⑫ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)4月23日

G 06 F 1/00

1 0 2

7313-5B

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 可変長データ処理装置

⑮ 特 願 昭59-201428

⑯ 出 願 昭59(1984)9月28日

⑰ 発 明 者 瀬 賀 明 雄 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
 ⑱ 発 明 者 成 田 良 孝 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
 ⑲ 発 明 者 太 田 義 久 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
 ⑳ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号  
 ㉑ 代 理 人 弁理士 山本 意一

## 明 細 書

## 1. 発明の名称

可変長データ処理装置

## 2. 特許請求の範囲

可変長データを記憶する記憶装置と、該記憶装置に記憶されている前記可変長データを読み出してデータ処理を行ないかつ該データ処理後のデータを前記記憶装置に格納するために前記記憶装置へ所与する演算装置と、該演算装置で処理された内容を所与する出力機構とから構成される可変長データ処理装置において、前記記憶装置は前記可変長データにアクセスするときに任意のビット位置から固定長データを読み出し及び書き込みを行なう読み出し・書き込み手段を具備し、前記演算装置は前記記憶装置から読み出した前記可変長データに対する指定されたビット位置から指定されたビット長データを得、または前記指定されたビット位置に前記指定されたビット長データを与えるためのマスクパターン発生手段と、該マスクパターン発生手段より得られた前記指定されたビッ

ト長データを任意のビット位置へシフトさせ、またはシフトされたデータを演算マスクパターン発生手段に与えるシフト手段とを具備することを特徴とする可変長データ処理装置。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、可変長データ処理装置に関し、更に詳細に付、イメージデータ等の可変長の大量データを処理する可変長データ処理装置に関する。

(従来の技術)

従来のデータ処理装置における命令は固定長(バイト、ワード等)データを基にして考えられてきた。この固定長データは、演算対象となるデータの長さが予め定められており例えば1ビット、1字、1語などである。実際に発生するデータの長さは処理内容に応じて種々あるので、任意の長さにできることがメモリ容量の節約、プログラムの単純化の点から望ましいが、データ処理装置内の演算回路の構成上は固定長データの方が簡

特開昭61-80331(2)

単で高速化できるので一般の商用計算機の大體分は固定長データの処理を基本としている。また、データ処理装置内の記憶回路も固定長データに対してアクセスする方法がとられている。

( 発明が解決しようとする問題点 )

しかしながら、現在情報処理システムの発展に伴って取り扱うべき情報の範囲が拡大し、映像情報あるいは音声情報といったマルチメディアデータ処理が重要な機能になってきている。これらのデータは本質的に可変長であり、その情報量は膨大なものである。

したがって、従来のデータ処理装置でこのような可変長データに対する処理を行なうと、データ量の多様化による記憶装置の容量の問題、データ処理動作におけるバイト境界(あるいはワード境界)を常に意識しなければならないことによる処理アルゴリズムの複雑さと処理時間の増加という問題点が生じる。特に、記憶素子の高速化が進み、記憶装置の容量の問題点が顕著なつつある現在後者の要因が欠点となっている。

3

( 作用 )

この発明によれば、以上のように可変長データ処理装置を構成したので、可変長データを記憶する記憶装置はこの可変長データにアクセスするときに与えられるビットアドレスにより可変長データを固定長データとして固定されたビット位置から読み出す。また、演算装置は上記記憶装置から読み出した固定長データに対して指定されたビット位置から指定されたビット長データを切り取り、このビット長データを任意のビット位置へシフトさせてビットアドレスと有始ビット長で可変長データの処理を行なう。したがって、前記問題点を解決できるのである。

( 実施例 )

第1図は、この発明における記憶装置を示す構成図である。同図において、100はこの記憶装置のデータの読み出し/加工/書き込みを行なう演算装置へ送出するNビットの素方向バスであるメモリデータバス、101は上記演算装置からのデータが供給されてくるメモリアドレスバス、102は

5

この発明は、これらの問題点を解決するためのもので、可変長データに対する処理の簡素化、高速化が可能な可変長データ処理装置を提供することを目的とする。

( 問題点を解決するための手段 )

この発明は上記目的を達成するために、図2の如きようなイメージデータとして用いられる可変長データを記憶する記憶装置とこの記憶装置に格納されている可変長データを読み出し、加工、書き込みを行なう演算装置とこの演算装置で処理された内容を出力する出力装置とから構成する可変長データ処理装置において、記憶装置における任意のビット位置からの固定長データを読み出し及び書き込みを行なう読み出し/書き込み手段及び演算装置における固定長データの指定されたビット位置から指定されたビット長データを選択するためのマスクパターン発生手段とこのビット長データを任意のビット位置へシフトさせ、シフト後のデータをマスクパターン発生手段に与えるためのシフト手段を具備している。

4

バンク110へのアドレスを選択するものでアクセスされたデータがバンク11aよりバンク11bにまたがっている場合メモリセル内アドレスをプラス1したアドレスとしてバンク11bに供給するために用意されてバンク11aからバンク11bに渡る可変長データアクセスを可能とする加算回路、103はアドレス入力内のメモリセル内アドレスを入力としバンク110へのアドレスを選択する選択ゲート、104はアドレス入力内のメモリセル内アドレスを入力としrowアドレス、columnアドレスの選択を行なってバンク111～バンク11nのメモリセルにデータを供給する選択ゲート、105は書き込み指定時に対象となるメモリセル内のビットに対し書き込み符号を供給する書き込み制御回路、106は読み出し指定時に対象となるメモリセル内のビットに対し読み出しゲート120～12nの読み出し符号をONにする読み出し制御回路、110～11nはそれぞれバンクアドレスで選択される記憶部の集まりであるバンク、120～12nは読み出し制御回路106の指示によりバンク110～

6

特開昭61-80331(3)

11n からの必要なデータをメモリデータバス100上に送出する読み出しゲートである。ここで、この記憶装置の記憶部はバンクと呼ばれる単位に分割され、更に記憶部の容量に応じて複数のセルと呼ぶ単位に分割される。セルのビット長はNビットであり、同一バンクのセルのデータ線はビット番号によって対応するメモリデータバス100に接続される。ところで、この記憶装置のアドレスの付与は第2図に示すようにバンク110～バンク11nにわたって連続アドレスが決められている。また、この記憶装置へのアドレス入力には第3図に示すように上位よりメモリセル選択アドレス、メモリセル内アドレスA、バンクアドレスn、ドットアドレスdの4つに区分される。メモリセル選択アドレスは同一のバンクの複数のセルの選択に使用され、メモリセル内アドレスAは選択ゲート102、104及び加算回路102の入力となる。バンクアドレスn、ドットアドレスdは書き込み制御回路105、読み出し制御回路106の入力として使用される。

7

し、ロウアドレスをメモリセル内アドレスの下位側にとることにより加算回路102を介してのアドレス入力の加算遅延を極力抑えて高速アクセスを実現できる。

第4図は、この発明における演算装置を示す構成図である。同図において、200、201、202は各ユニットを接続するためのもので各々オペランドバスA、オペランドバスB、リザルトバス、210はバレルシフト、論理演算、算術演算を行なう演算ユニット、211はハードレジスタ218及びアドレスレジスタ215の下位ビットの内容によって演算ユニット210でのバレルシフトのシフト量を指定する選択ゲート、212は演算結果を一時的に記憶するローカルメモリ、213はセットすべきビットアドレスの2の補数データがセットされるハードレジスタ、214はハードレジスタ213にセットされた内容をアドレスとしてそのデータをオペランドバスA200に送出するマスクパターン発生用読み出し専用メモリ、216は前述の記憶装置からのドットアドレスがセットされるアドレスレジス

9

次に、上記のような構成の記憶装置の動作を説明する。

第3図に示すような可変長データにアクセスするときに、バンク110に対するアドレス入力としては加算回路102及び選択ゲート103を介して(A+1)が入力され、バンク11nに対するアドレス入力としては選択ゲート104を介してAが入力される。そして、読み出し制御回路106はアドレス入力のバンクアドレスn、ドットアドレスdに従って読み出しゲート12nの下位(N-d)ビット及び読み出しゲート120の上位dビットをONにし、メモリデータバス100上に必要なデータを送出する。

このように、本実施例の記憶装置は与えられるビットアドレスにより可変長データを指定されたビット位置に書き込むことができ、書き込まれた可変長データを固定長データとして任意のビット位置から読み出せる。また、読み出し時の選択を最終段の読み出しゲート120～12nで行なうことにより演算装置へのアクセスタイムの影響をなく

8

タ、218は前述の記憶装置からのNビットデータがセットされるデータバッファである。ここで、オペランドバスA200、オペランドバスB201、リザルトバス202の各バスの幅は前述の記憶装置のデータ幅Nビットである。また、演算ユニット210におけるシフト機能は、Nビットまでの回転シフトが可能でシフト量の指定を選択ゲート211を介してアドレスレジスタ218及びハードレジスタ213の下位ビットの内容によって行なうことができる。これは、前述の記憶装置で読み出されたデータを必要に応じて組み合わせをすることも可能とする。すなわち、アドレスレジスタ215にセットされたドットアドレス分の左回転シフト動作を行なうことにより読み出されたデータは、最上位ビットよりNビットに揃えられる。また、この生成されたNビットのデータを任意のビット位置から書き込む場合、セットすべきビットアドレスの2の補数データをハードレジスタ213にセットしておきシフト量指示によって左回転シフトを行なうことにより前述の記憶装置に対して

10

特開昭61-80331(4)

任意のビット位置からNビットの書き込みを可能とする。そして、ハードレジスタ213にセットされた内容をアドレスとしてマスクパターン発生用読み出し専用メモリ214を介してオペランドバスA200に送出する。このハードレジスタ213の内容と読み出されるマスクパターンつまりマスクパターン発生用読み出し専用メモリ214の内容の対応を第5図に示す。選択されたマスクパターンはNビットで、マスクビット開始位置とマスク長で指定される。このマスクパターンと前述のシフト機能により前述の記憶装置の可変長データの任意のビット位置に対する任意のビット位置データ処理が容易に行なわれる。

例えば、第5図に示すように斜線部のCビット長のデータ（ただし、C≦N）をa番地からb番地へ転送する場合本実施例における演算装置のデータ操作は以下の手順で行なわれる。

- (1) Aをアドレスレジスタ213にセットする
- (2) 記憶装置からメモリデータバス100を介してa番地からNビットデータを読み出して

データバッファ218にセットする

- (3) (2)でのNビットデータをアドレスレジスタ215のドットアドレス分の左回転シフトを行ない、Nビットに揃えられたデータとしてローカルメモリ212に一時的に格納する
- (4) bをアドレスレジスタ215にセットする
- (5) 記憶装置からメモリデータバス100を介してb番地からNビットデータを読み出してデータバッファ218にセットする
- (6) (5)でのNビットデータをアドレスレジスタ215のドットアドレス分の左回転シフトを行ない、Nビットに揃えられたデータとしてデータバッファ218にセットする
- (7) Cをハードレジスタ213にセットする
- (8) (3)で格納されているデータとマスクパターンとの論理積と、データバッファ218内のデータとマスクパターンの逆パターンとの論理積とを論理和してデータバッファ218に格納する

11

- (9) bの2の補数をハードレジスタ218にセットする
- (10) (9)でのデータバッファ218に格納されているデータをハードレジスタ218で指定されるシフト量分左回転シフトを行ない、再びデータバッファ218に格納する
- (11) (10)でのデータバッファ218の内容をアドレスレジスタ215で示されるb番地に格納する

( 発明の効果 )

以上説明したように、本発明によれば、ビット単位でアクセスできる記憶装置と演算装置におけるシフト機能とマスクパターン発生機構によってビットアドレスと有効ビット長という一元的管理で可変長データの処理が可能となり、なおかつこの可変長データの処理が高速化・簡易化され、画像処理のようなイメージデータの編集・表示・出力あるいはデータ圧縮/伸長の動作を容易に実行できる可変長データ処理装置を提供できる。

4. 図面の簡単な説明

12

第1図はこの発明における記憶装置を示す構成図、第2図は第1図の記憶装置のアドレス割り付けを示す図、第3図は第1図の記憶装置のアドレスの区分及びこれをアクセスする例を示す図、第4図はこの発明における演算装置を示す構成図、第5図はマスクパターンの説明図、第6図は可変長データ処理の例を示す図である。

- 100 …メモリデータバス、
- 101 …メモリアドレスバス、
- 102 …加算回路、
- 103, 104, 211 …選択ゲート、
- 105 …書き込み制御回路、
- 106 …読み出し制御回路、
- 110 ~ 11n …バンク、
- 120 ~ 12n …読み出しゲート、
- 200 …オペランドバスA、
- 201 …オペランドバスB、
- 202 …リザルトバス、
- 210 …演算ユニット、
- 212 …ローカルメモリ、

13

—210—

14

特開昭61-80331(5)

- 219 ...ハードレジスタ、  
 214 ...マスクパターン発生用読み出し専用メモ  
 リ、  
 213 ...アドレスレジスタ、  
 210 ...データバッファ。

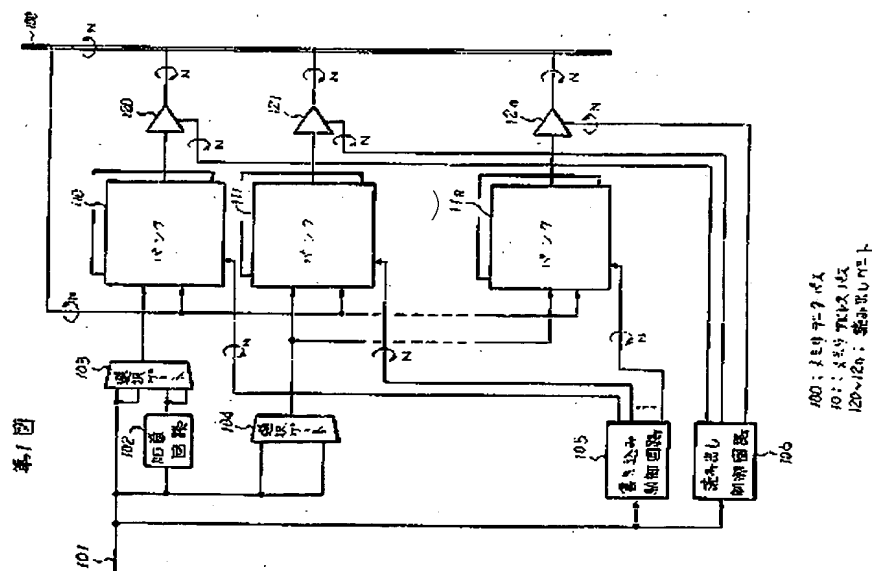
特許出願人

沖電気工業株式会社

特許出願代理人

弁理士 山本 忠一

15

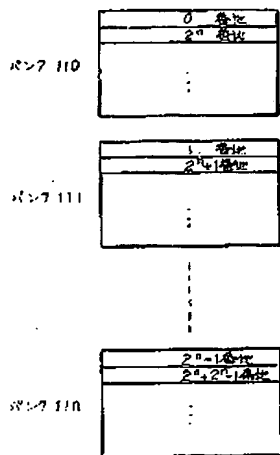


-211-

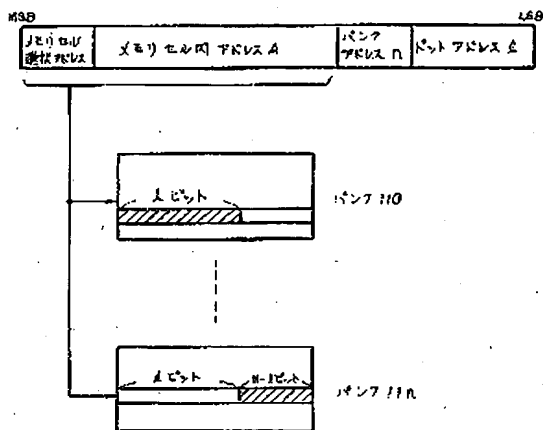
BEST AVAILABLE COPY

特開昭61-80331(6)

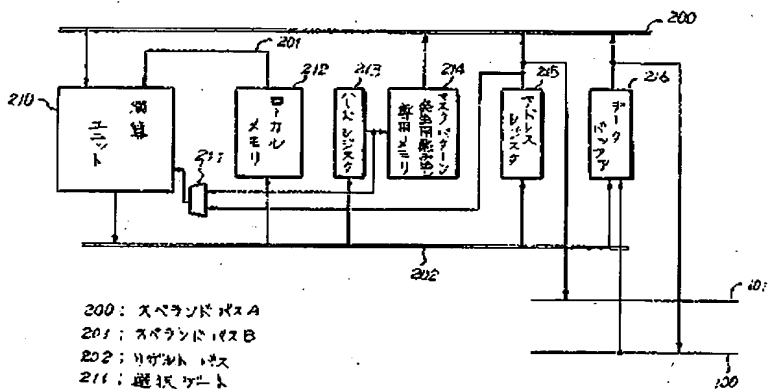
第2図



第3図



第4図



BEST AVAILABLE COPY



特開昭61-80331(7)

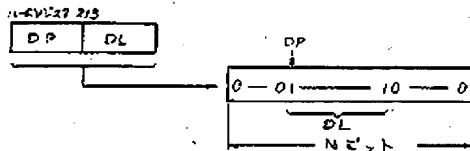
手続補正書(自発)

昭和60年2月22日

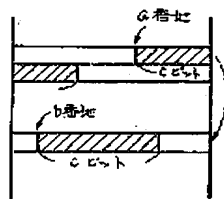
宇賀道郎

特許庁長官 宇賀道郎 敬呈

第5図



第6図



## 特許請求の範囲

可変長データを記憶する記憶装置と、該記憶装置に記憶されている前記可変長データを読み出してデータ処理を行ないかつ該データ処理後のデータを前記記憶装置に格納するために前記記憶装置へ出力する演算装置と、該演算装置で処理された内容を出力する出力機構とから構成される可変長データ処理装置において、前記記憶装置は前記可変長データにアクセスするときに任意のビット位置から固定長データを読み出し及び書き込みを行なう読み出し・書き込み手段を具備し、前記演算装置は前記記憶装置から読み出した前記可変長データに対する指定されたビット位置から指定されたビット長データを得、または前記指定されたビット位置に前記指定されたビット長データを与えるためのマスクパターン発生手段と、該マスクパターン発生手段より得られた前記指定されたビット長データを任意のビット位置へシフトさせるシフト手段とを具備することを特徴とする可変長データ処理装置。

## 1. 事件の概要

昭和59年特許願第201428号

## 2. 発明の名称

可変長データ処理装置

## 3. 補正を要する書

事件との関係 特許出願人  
名称 (029) 沖電気工業株式会社

## 4. 代理人

住所 〒105 東京都港区西新橋1丁目3番12号タンパビル  
電話 580-6540  
氏名 弁理士(7498) 山本 恵

## 5. 補正の対象

明細書の特許請求の範囲及び発明の詳細な説明の各欄

## 6. 補正の内容

- (1) 明細書の特許請求の範囲を別紙のとおり補正する。
- (2) 同第4頁第18行～19行の「、シフト後の…発生手段に与え」を削除する。

以上